

CLIPPEDIMAGE= JP406151896A
PAT-NO: JP406151896A
DOCUMENT-IDENTIFIER: JP 06151896 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: May 31, 1994

INVENTOR-INFORMATION:

NAME
SATO, NOBORU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP04299445
APPL-DATE: November 10, 1992

INT-CL (IPC): H01L029/90
US-CL-CURRENT: 257/509,257/510

ABSTRACT:

PURPOSE: To prevent charge generated during breakdown of a voltage clamp diode from being directly captured in a silicon oxide film by forming a conductive layer by burying not to bring a P-N junction surface into contact with a LOCOS edge and not to be exposed to a silicon substrate surface at a position which is a specified depth from the substrate surface.

CONSTITUTION: A silicon oxide film 22 is formed by selective oxidation method and a P<SP>+</SP>-type conductive layer 4 is formed simultaneously by activating ion- implanted boron. A silicon oxide film 32 is formed by thermal oxidation method and then boron is ion-implanted at an acceleration energy of 160 to 200keV to form a buried type P<SP>+</SP> conductive layer 44. This is positioned at a depth of about 0.5 μ m from a surface of a silicon substrate

1. Phosphorus is ion- implanted at an acceleration energy of 100keV and then a resist film is removed. After cleaned, it is thermally treated at 900 to 1000°C for 10 to 30 minutes to form an N<SP>+</SP> type conductive layer

16. Thereby, variation of a clamp voltage can be prevented even if a clamp diode is energized for a long time.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-151896

(43)公開日 平成 6 年(1994) 5 月31日

(51)Int.Cl.⁵

H 0 1 L 29/90

識別記号

D

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 5 頁)

(21)出願番号 特願平4-299445

(22)出願日 平成 4 年(1992)11月10日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 佐藤 昇

東京都港区芝五丁目 7 番 1 号日本電気株式
会社内

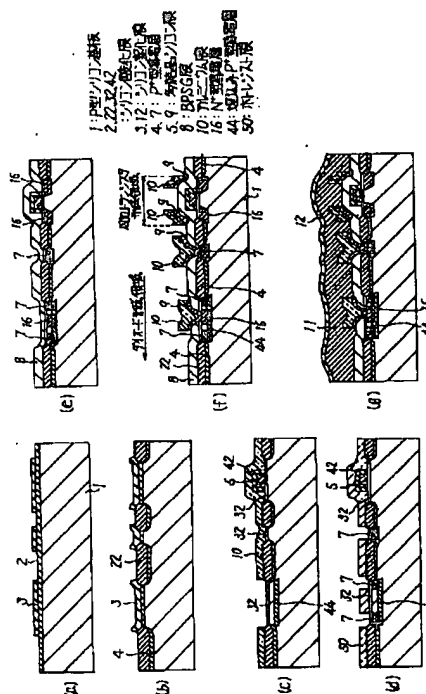
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】半導体表面接触のPN接合ダイオードで、アバランシェブレークダウンモードで使用するような電圧クランプダイオードでは、ブレイクダウン時に発生する電荷が接合面上層の絶縁膜中に捕獲される結果クランプ電圧が変化する。これを防ぐことにある。

【構成】半導体基板 1 にイオン注入法により不純物を 150～400keVの加速エネルギーでイオン注入し、埋込み型の不純物層 4 4 を基板表面より 0.2～0.5 μm 程度の深さに形成し、続けて逆導電型不純物層 1 6 を形成し、PN接合面を半導体基板中に埋込む製造方法を有している。



【特許請求の範囲】

【請求項1】 同一半導体基板上に接合型ダイオードおよびMOS型トランジスタを形成する半導体装置の製造方法において、半導体基板上に同一導電型を有する不純物を選択的に導入し、後に選択酸化法によりフィールド酸化膜を形成する工程と、MOS型トランジスタのゲート電極を形成する工程と、選択的に基板と同一導電型の不純物をイオン注入法により、150～300keVの加速エネルギーでイオン注入を施し、半導体基板表面より0.2～0.5μm程度の深さの位置に埋込み型の不純物層を形成する工程と、前記不純物層と同一導電型の不純物を選択的に形成する工程と、前記埋込み不純物層と逆導電型の不純物を選択的に形成し、900～1000℃で10～30分熱処理を施す工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に関し、特にP-N接合型ダイオードの製造方法に関する。

【0002】

【従来の技術】従来のP-N接合型ダイオードを有する半導体装置は図4に示すような構造となっており、次の様な製造方法により得られていた。P型シリコン基板1表面にイオン注入法により選択的にP⁺型導電層4を形成した後、選択酸化法によりP⁺導電層4直上に選択的にフィールド酸化膜であるところのシリコン酸化膜22を形成する。

【0003】次に、周辺MOSトランジスタの形成のためにゲート絶縁膜となるシリコン酸化膜、ゲート電極となる多結晶シリコン膜5を形成し、さらに多結晶シリコン膜5表面を酸化する。その後、ホトレジスト膜およびシリコン酸化膜22をマスクに用いたイオン注入法により、シリコン酸化膜22および多結晶シリコン膜5に対して、自己整合的にN⁺型導電層6、16を形成する。続いて、ホトレジスト膜およびシリコン酸化膜22をマスクに用いたイオン注入法により、シリコン酸化膜22に対して、自己整合的にP⁺型導電層7を形成し、熱処理を施す。次にCVD法により層間絶縁膜としてのBP SG膜8を全面に1.0μm程度堆積し、コンタクトホールを開口する。次に、多結晶シリコン膜9、アルミニウム膜10の積層膜からなる金属配線を形成し、PN接合ダイオードの配線を形成する。続いて、半導体装置の表面保護のために、CVD法により全面にPSG膜11を堆積し、熱処理を行ない、さらにCVD法により全面にシリコン窒化膜12を堆積し、従来の半導体装置が完成していた。

【0004】

【発明が解決しようとする課題】この従来の製造方法で製造された半導体装置では、フィールド酸化膜であると

ころのシリコン酸化膜22のロコスエッジにPN接合が形成されており、ロコスエッジはこれの形成時に機械的応力により酸化膜中に多数の電荷捕獲準位が発生しやすいと同時に、この部分は酸化膜厚の遷移領域であり、PN接合近傍での酸化膜は極度に薄くなる。このため、PN接合部でのアバランシェブレイクダウンした状態で使用するような電圧クランプダイオードではアバランシェブレイクダウン時に発生した電荷がシリコン酸化膜22中の電荷捕獲準位に捕獲される。これと同時に、シリコン酸化膜22における酸化膜厚の遷移領域でかつ酸化膜厚の薄い領域では、この発生電荷がシリコン酸化膜22の薄い部分をトンネル現象により通り抜けて、シリコン酸化膜22と層間絶縁膜であるBP SG膜8との界面の電荷捕獲準位に注入し捕獲される。これらの結果、捕獲電荷の下層のP⁺導電層4の表面電荷密度が変化し、クランプダイオードの通電時間とともにクランプ電圧が10%～30%程度変化上昇するという大きな欠点を有している。

【0005】又、本製造方法により得られた半導体装置では、PN接合面がシリコン基板表面に露出した形状となっている為、PN接合面の上層絶縁膜の汚染等による電荷の影響に対しても変動要因が大きく、信頼性的にも不利である。

【0006】本発明の目的は、半導体表面接触のPN接合ダイオードでアバランシェブレイクダウンモードで使用するような電圧クランプダイオードで、ブレイクダウン時に発生する電荷が接合面上層の絶縁膜中に捕獲される結果クランプ電圧が変化するのを防ぐことができ、信頼性の優れた半導体装置を提供することにあります。

【0007】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上に同一導電型を有する不純物を選択的に導入し、後に選択酸化法により、フィールド酸化膜を形成し、続けてMOS型トランジスタのゲート電極を形成する工程と、選択的に半導体基板と同一導電型の不純物をイオン注入法により、150～300keVの加速エネルギーでイオンを施し、半導体基板表面より、0.2～0.5μm程度の深さの位置に埋込み型の不純物層を形成する。次に、前記埋込み層の電極取り出し用拡散層として、前記不純物層と同一導電型の不純物を選択的に形成する工程と、前記埋込み型不純物層と逆導電型の不純物を前記埋込み型不純物層と接合する様に選択的に形成し、900～1000℃で10～30分熱処理を施す工程とを備えている。

【0008】ここで、埋込み不純物層の深さは0.2μm以下の場合には不純物濃度ピーク値が熱処理により、半導体基板表面へ露出する結果、PN接合面が半導体基板表面へ露出する。

【0009】0.5μm以上では、不純物層の電極取り出し用拡散層を深く押し込む必要があり、PN接合層の

3

急しゅんな濃度勾配を得ることが出来なくなる。

【0010】さらに、半導体基板表面より熱拡散法で不純物層を押し込む場合には、不純物濃度が極度に低下し、所望のツェナー電圧を確保することが困難となる。

【0011】又、不純物形成後の熱処理としては、熱処理不足の場合には、イオン注入で形成した不純物層の微少結晶欠陥が回復されずPN接合リークが発生する。

【0012】熱処理量が多い場合には、所望の不純物層濃度勾配が得られない。

【0013】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の一実施例の製造方法を説明するために工程順に示した断面図である。

【0014】まず図1(a)に示す様に、P型シリコン基板1表面に熱酸化法により100nm程度のシリコン酸化膜2を形成し、減圧CVD法により膜厚100nm程度のシリコン窒化膜3を堆積し、ホトリソグラフィ法により、シリコン窒化膜3のパターニングを行なう。

【0015】次に図1(b)に示す様にホウ素を選択的にイオン注入し、ホトレジスト膜を除去した後、選択酸化法によりフィールド酸化膜であるシリコン酸化膜22を形成すると同時に、イオン注入されたホウ素を活性化して、P⁺型導電層4を形成する。

【0016】続けて、図1(c)に示すように、シリコン窒化膜3、シリコン酸化膜2を除去した後、周辺MOSトランジスタ用のゲート絶縁膜となるシリコン酸化膜32を熱酸化法により形成し、周辺のMOSトランジスタ用のゲート電極となる多結晶シリコン膜5をCVD法、ホトリソグラフィ法により形成し、多結晶シリコン膜5の表面を酸化してシリコン酸化膜42を形成する。次にスパッタ法により、アルミニウム膜10を1.5μm程度堆積した後、フォトリソグラフィ法により、選択的に開口する。続けて、イオン注入法によりホウ素を160〜200keVの加速エネルギーで2〜4×10¹⁴atm/cm²程度イオン注入し、埋込み型P⁺導電層44を形成する。

【0017】次に、図1(d)に示す様に、ホトレジスト50を用いイオン注入法により、30〜50keVの加速エネルギーで、3〜9×10¹⁵atm/cm²イオン注入しP⁺型導電層7を形成する。

【0018】続けて、図1(e)に示す通り、ホトレジスト膜をマスク材として、イオン注入法により、リンを100keVの加速エネルギーで3〜9×10¹⁵atm/cm²イオン注入し、ホトレジスト膜を除去し、洗浄を施した後、900〜1000℃で10〜30分間熱処理を施し、N⁺型導電層16を形成する。さらに、CVD法により層間絶縁膜となるBPSG膜8を0.8〜1.2μm程度堆積する。

【0019】次に図1(f)に示す様に、ホトリソグラフィ法によりコンタクト孔を開口した後、CVD法、ス

4

パッタ法により多結晶シリコン膜9およびアルミニウム膜10の積層膜を形成し、ホトリソグラフィ法によりこの積層膜をパターニングして、金属配線を形成し、PN接合ダイオードおよび、MOS型トランジスタの配線を形成し、400〜500℃の温度で熱処理を施す。

【0020】その後図1(g)に示す通り、半導体装置の表面保護のために、CVD法により、全面にPSG膜11を堆積し、さらにCVD法により全面にシリコン窒化膜12を堆積し、本発明の半導体装置が完成する。

10 【0021】以上説明した様に、本発明の半導体装置では、PN接合を構成する各々の濃度プロファイルは図3に示す通りであり、P⁺型導電層のピーク濃度は5〜8×10¹⁸atm/cm³で、シリコン基板表面より約0.5μmの深さに位置している。又、シリコン基板表面より、熱拡散法により押し込んだN⁺型導電層は不純物濃度が約10¹⁷〜10¹⁸atm/cm³程度でPN接合を形成しており、接合深さはシリコン基板表面より0.3〜0.4μmの深さで構成され、かつPN接合部がロコスエッジから離れており、理想的なPNダイオードを構成することが可能となっている。

20 【0022】この為PN接合部でアバランシェブレイクダウンした状態で使用するような電圧クランプダイオードでもアバランシェブレイクダウン時に発生した電荷が直接シリコン酸化膜中に電荷捕獲されることが無い結果、クランプダイオードを長期通電した場合でもクランプ電圧が変動することなく安定に動作するという大きな利点を有している。

【0023】図2は、本発明の第2の実施例を説明するための半導体素子の断面図である。

30 【0024】第2の実施例の半導体装置の製造方法は、第1の実施例とほぼ同様であるので相違点のみ説明する。図2に示す通り、埋込みP⁺型導電層をイオン注入法で形成した後、アルミニウム膜をマスクとして、第2の埋込み層としてイオン注入法によりリンを350〜400keVの加速エネルギーで2〜4×10¹⁴atm/cm²程度イオン注入し、N⁺型導電層45を形成し、PN接合を形成する不純物層を双方共にシリコン基板表面より、0.3〜0.4μmの深さに埋込んでいる。本、第2の実施例では、イオン注入により、双方の不純物濃度ピーク値をイオン注入の加速エネルギーのみで調整することが可能となる為所望のツェナー電圧を容易に得ることが出来るという大きな利点を有する。

【0025】

【発明の効果】以上説明した様に本発明により製造した半導体装置は、PN接合面が酸化膜質が悪く、電荷捕獲準位の高いロコスエッジに接触することがなく、かつ、シリコン基板表面に露出することが無く、シリコン基板表面より、0.2〜0.5μm程度の深さの位置に埋込み型で構成されている為、アバランシェブレイクダウン状態で使用する電圧クランプダイオードでもブレイクダ

50

6

素子の断面図である。

【図3】本発明の第1の実施例における不純物濃度プロファイルである。

【図4】従来の半導体装置の製造方法を説明するための半導体素子の断面図である。

【符号の説明】

- 1 P型シリコン基板
- 2, 22, 32, 42 シリコン酸化膜
- 3, 12 シリコン窒化膜
- 4, 7 P⁺型導電層
- 5, 9 多結晶シリコン膜
- 16 N⁺型導電層
- 8 BPSG膜
- 10 アルミニウム膜
- 44 埋込みP⁺型導電層
- 45 埋込みN⁺型導電層
- 50 ホトレジスト膜

【図2】本発明の第2の実施例を説明するための半導体

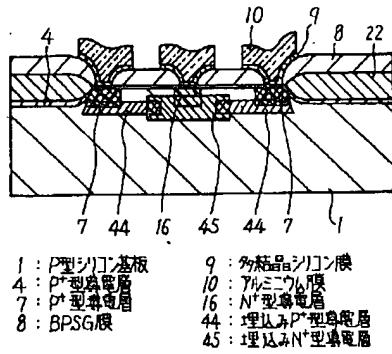
Figure 1 consists of seven cross-sectional views (a) through (g) of a semiconductor device, illustrating the sequential steps of its fabrication. The views show the building up of various layers on a substrate, with specific components labeled with numbers corresponding to the legend.

- (a) Shows a substrate with a P-type silicon base (1), a silicon oxide film (2), and a P-type polysilicon layer (3).
- (b) Shows the addition of a P-type polysilicon layer (4) and a P-type polysilicon layer (22).
- (c) Shows the addition of a P-type polysilicon layer (10) and a P-type polysilicon layer (32).
- (d) Shows the addition of a P-type polysilicon layer (44) and a P-type polysilicon layer (50).
- (e) Shows the addition of a P-type polysilicon layer (7) and a P-type polysilicon layer (16).
- (f) Shows the addition of a P-type polysilicon layer (8) and a P-type polysilicon layer (10).
- (g) Shows the addition of a P-type polysilicon layer (11) and a P-type polysilicon layer (12).

Legend:

- 1: P型シリコン基板
- 2, 22, 32, 42: シリコン酸化膜
- 3, 12: シリコン窒化膜
- 4, 7: P型多結晶層
- 5, 9: 多結晶シリコン膜
- 8: BPSS膜
- 10: カルシウム膜
- 16: N型多結晶層
- 44: 埋込みP型多結晶層
- 50: ホットプレート膜

【図2】



【図3】

